

**Approaches to extra-functional verification of security and reliability aspects in hardware designs = Riistvaraprojektide turva- ja töökindlusaspektide ekstrasfunktsionaalse verifitseerimise lähenemisviisid**

Lai, Xinhui 2022 <https://doi.org/10.23658/taltech.29/2022> <https://digikogu.taltech.ee/et/Item/cff1aeb9-b0b2-49ce-b81a-bfb9dc25fd56>  
[https://www.ester.ee/record=b5502807\\*est](https://www.ester.ee/record=b5502807*est)

**Assessment and Enhancement of Hardware Reliability for Deep Neural Networks = Riistvara töökindluse hindamine ja täiustamine süvanärvivõrkude jaoks**

Ahmadilivani, Mohammad Hasan 2025 [https://www.ester.ee/record=b5739227\\*est](https://www.ester.ee/record=b5739227*est) <https://digikogu.taltech.ee/et/Item/652d50e3-773f-4de5-897d-86531feb0d56> <https://doi.org/10.23658/taltech.19/2025>

**Assessment of electroencephalographic measures applied in the detection of depression = Depressiooni avastamiseks kasutatavate elektroentsefalograafilise signaali moodsikute analüüs**

Päeske, Laura 2021 [https://www.ester.ee/record=b5411747\\*est](https://www.ester.ee/record=b5411747*est) <https://digikogu.taltech.ee/et/Item/44751b09-b47f-4757-847f-dd0f1d39b91b>  
<https://doi.org/10.23658/taltech.17/2021>

**Comprehensive abstraction of VHDL RTL cores to ESL SystemC = Register-siirde taseme VHDL kirjelduste kompleksne abstraherimine süsteemitaseme SystemC mudeliteks**

Abrar, Syed Saif 2016 [http://www.ester.ee/record=b4564850\\*est](http://www.ester.ee/record=b4564850*est)

**Constraints solving based hierarchical test generation for synchronous sequential circuits = Kitsenduste lahendamisel baseeruv hierarhiline testigeneerimine sünkroonsetele järjestikiskeemidele**

Viilukas, Taavi 2012 [https://www.ester.ee/record=b2888278\\*est](https://www.ester.ee/record=b2888278*est)

**Cost-effective concurrent hardware checkers for network on chip based system on chip = Kulutõhusad süsteemiga paralleelsed rikkemonitorid kiipvõrkudel põhinevatele kiipsüsteemidele**

Hariharan, Ranganathan 2019 <https://digi.lib.ttu.ee/i/?12854> [https://www.ester.ee/record=b5243161\\*est](https://www.ester.ee/record=b5243161*est)

**Cross-layer dependability management in network on chip based system on chip = Kiipvõrkudel põhinevate süsteemide kihtideülene usaldatavuse haldus**

Azad, Siavoosh Payandeh 2018 <https://digi.lib.ttu.ee/i/?9948> [https://www.ester.ee/record=b5056143\\*est](https://www.ester.ee/record=b5056143*est)

**Data-driven fault-resilient cross-layer sensor network architecture = Andmepõhine tõrkekindel kihtideülene sensorvõrgu arhitektuur**

Vihman, Lauri 2024 [https://www.ester.ee/record=b5657135\\*est](https://www.ester.ee/record=b5657135*est) <https://digikogu.taltech.ee/et/Item/00a93258-dc0f-4a4d-822f-099fff757224>  
<https://doi.org/10.23658/taltech.7/2024>

**Dependability improvements of NoC-based systems = Töökindluse parandamine kiipvõrkudel põhinevates süsteemides**

Niazmand, Behrad 2018 <https://digi.lib.ttu.ee/i/?9879> [https://www.ester.ee/record=b4907650\\*est](https://www.ester.ee/record=b4907650*est)

**DFT-based external test and diagnosis of mesh-like networks on chips = Testitavusel põhinev välise testi ja diagnoosi meetod kahemõõtmelistele kiipvõrkudele**

Govind, Vineeth 2009 <https://digi.lib.ttu.ee/i/?454> [https://www.ester.ee/record=b2539211\\*est](https://www.ester.ee/record=b2539211*est)

**Fault simulation and code coverage analysis of RTL designs using high-level decision diagrams = Rikete simuleerimine ja koodikatte analüüs register-siirde tasemel kasutades kõrgtaseme otsustusdiagramme**

Reinsalu, Uljana 2013 [https://www.ester.ee/record=b2963595\\*est](https://www.ester.ee/record=b2963595*est)

**Formal verification and error correction on high-level decision diagrams = Formaalne verifitseerimine ja vigade parandamine kõrgtasemelistel otsustusdiagrammidel**

Karputkin, Anton 2012

**Hardware modeling for design verification and debug = Riistvara modelleerimine disaini verifitseerimise ja silumise jaoks**

Tšepurov, Anton 2013 [https://www.ester.ee/record=b2963501\\*est](https://www.ester.ee/record=b2963501*est)

**Hierarchical test pattern generation and untestability identification techniques for synchronous sequential circuits = Hierarhilised testintegreerimise ja mittetestitavuse identifitseerimise meetodid sünkroonsetele järjestikiskeemidele**

Rannaste, Anna 2010 [https://www.ester.ee/record=b2637391\\*est](https://www.ester.ee/record=b2637391*est)

**Methods for improving the accuracy and efficiency of fault simulation in digital systems = Meetodid digitaalsüsteemide rikete simuleerimise täpsuse ja efektiivsuse tõstmiseks**

Kõusaar, Jaak 2019 <https://digi.lib.ttu.ee/i/?11667>

**Mutation-based verification and error correction in high-level designs = Mutatsioonidel põhinev verifitseerimine ja vigade parandamine kõrgtaseme skeemides**

Hantson, Hanno 2015 [https://www.ester.ee/record=b4518212\\*est](https://www.ester.ee/record=b4518212*est)

**Novel Neural Network accelerator architectures for FPGAs = Uudsed närvivõrkude kiirendite arhitektuurid FPGAdele**  
**Kerner, Madis** 2024 [https://www.ester.ee/record=b5675484\\*est](https://www.ester.ee/record=b5675484*est) <https://digikogu.taltech.ee/et/Item/3568fe35-19c3-43e6-9525-73c79371ab13>  
<https://doi.org/10.23658/taltech.16/2024>

**Simulation-based hardware verification with high-level decision diagrams = Simuleerimisel põhinev riistvara verifitseerimine kõrgtaseme otsustusdiagrammidel**  
**Jenihhin, Maksim** 2008 [https://www.ester.ee/record=b2431332\\*est](https://www.ester.ee/record=b2431332*est)

**Techniques for robust routing, communication and computation in multiprocessor systems = Robustse marsruutimise, side ja arvutuse tehnikad mitmeprotsessorilistes süsteemides**  
**Janson, Karl** 2021 [https://www.ester.ee/record=b5396084\\*est](https://www.ester.ee/record=b5396084*est) <https://digikogu.taltech.ee/et/Item/c9091d5c-dcd8-4b21-95a7-84ead85241e6>  
<https://doi.org/10.23658/taltech.3/2021>