

**Approaches to extra-functional verification of security and reliability aspects in hardware designs = Riistvaraprojektide turva- ja töökindlusaspektide ekstrasfunktsionaalse verifitseerimise lähenemisviisid**

Lai, Xinhui 2022 <https://doi.org/10.23658/taltech.29/2022> <https://digikogu.taltech.ee/et/Item/cff1aeb9-b0b2-49ce-b81a-bfb9dc25fd56>  
[https://www.ester.ee/record=b5502807\\*est](https://www.ester.ee/record=b5502807*est)

**Comprehensive abstraction of VHDL RTL cores to ESL SystemC = Register-siirde taseme VHDL kirjelduste kompleksne abstraherimine süsteemitaseme SystemC mudeliteks**

Abrar, Syed Saif 2016 [http://www.ester.ee/record=b4564850\\*est](http://www.ester.ee/record=b4564850*est)

**Hardware modeling for design verification and debug = Riistvara modelleerimine disaini verifitseerimise ja silumise jaoks**

Tšepurov, Anton 2013 [https://www.ester.ee/record=b2963501\\*est](https://www.ester.ee/record=b2963501*est)

**Methods to optimize functional safety assessment for automotive integrated circuits = Meetodid autotööstuse kiipide funktsionaalse ohutuse hindamise optimeerimiseks**

Bagbaba, Ahmet Cagri 2022 <https://doi.org/10.23658/taltech.9/2022> <https://digikogu.taltech.ee/et/Item/58b0b89d-b1ba-4a73-ba53-850910d697b5> [https://www.ester.ee/record=b5491885\\*est](https://www.ester.ee/record=b5491885*est)

**A synthetic, hierarchical approach for modelling and managing complex systems' quality and reliability = Sünteetiline, hierarhiline lähenemine keerukate süsteemide kvaliteedi ja töökindluse modelleerimiseks ja haldamiseks**

Balakrishnan, Aneesh 2022 <https://doi.org/10.23658/taltech.11/2022> <https://digikogu.taltech.ee/et/Item/a594d3ec-0e6b-4a78-819a-fe1f47992612>